

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許出願公告番号

特公平7-31610

(24) (44) 公告日 平成7年(1995) 4月10日

(51) IntCl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 11/18	3 1 0 E			
H 0 3 K 19/23		9383-5 J		

請求項の数 2 (全 7 頁)

(21) 出願番号	特願平1-112804	(71) 出願人	999999999 ロックウェル・インターナショナル・コーポレーション アメリカ合衆国、カリフォルニア州、エル・セグンド イースト・イムペリアル・ハイウェイ、2230
(22) 出願日	平成1年(1989) 5月1日	(72) 発明者	ヒュー・ロウエル・ミリス・ジュニア アメリカ合衆国、カリフォルニア州 プラセンシア、チヌック、236
(65) 公開番号	特開平2-12533	(74) 代理人	弁理士 深見 久郎 (外2名)
(43) 公開日	平成2年(1990) 1月17日		
(31) 優先権主張番号	1 9 0, 3 1 1		
(32) 優先日	1988年5月4日		
(33) 優先権主張国	米国 (US)		
		審査官 梅村 勁樹	
		(56) 参考文献	特開 昭52-103933 (J P, A) 特開 昭61-55745 (J P, A) 実開 昭53-90451 (J P, U)

(54) 【発明の名称】 多数決回路手段と一致回路手段と自己検査手段とを組合わせて含む装置

1

【特許請求の範囲】

【請求項1】 三重化された論理出力信号 O_1 、 O_2 および O_3 の多数値に基づく多数決回路出力信号を発生するための多数決回路手段と、
前記三重化された論理出力信号値のすべてが等しいかどうかを表わす一致回路出力信号を発生するための一致回路手段と、さらに
前記多数決および前記一致回路手段、および自己の動作の有効性をモニタするための自己検査手段とを組合わせて含む、
前記自己検査、多数決、および一致回路手段は、前記三重化された論理出力信号を発生する三重化された論理回路から独立して動作し、かつ前記自己検査手段が、前記出力信号 O_1 、 O_2 および O_3 、前記多数決回路出力信号、および前記一致回路出力信号を受取り、

2

前記自己検査手段は、

出力を有し、かつ前記三重化された論理出力信号に接続された入力に有する3入力EXCLUSIVE OR回路と、
入力がそれぞれ、前記3入力EXCLUSIVE OR回路出力と、論理信号Tとに接続された2入力単一出力EXCLUSIVE OR回路とを含み、

前記2入力単一出力EXCLUSIVE OR回路の前記単一の出力は、前記一致回路出力信号と、前記多数決回路出力信号とに関連して第2の3入力EXCLUSIVE OR回路に接続され、前記第2の3入力EXCLUSIVE OR回路は、前記自己検査手段の結果を表わす出力を発生する、装置。

【請求項2】 前記自己検査手段は、

以下の論理式、すなわち動作の有効性信号＝論理信号T
 $\oplus (O_1 \cdot O_2 + O_1 \cdot O_3 + O_2 \cdot O_3) \oplus (O_1 \cdot O_2 \cdot O_3 + O_1' \cdot O_2' \cdot O_3')$
 $\oplus (O_1 + O_2 + O_3)$ によって機械化される前

10

(2)

特公平7-31610

3

記動作の有効性信号値を発生する電気回路を含み、前記論理信号Tは、論理「0」状態と、論理「1」状態との間で、前記自己検査手段の正しい動作性をテストするために、トグル動作され、前記トグルは、モニタされた三重化された論理回路から独立して動作する、請求項1に記載の装置。

【発明の詳細な説明】

発明の背景

(1) 発明の分野

この発明は、フォールトトレラント計算装置および関連装置の信頼性を大いに増加させるための、新規の装置と方法とに関する。特に、デジタル回路の有効な動作をモニタするための装置と方法とに関する。その装置は従来の多数決および一致回路と、新たに加えられたテスト回路とを含み、このテスト回路は故障に備えて継続的にそれ自体や、多数決回路や一致回路をチェックするように機能する。

(2) 関連技術の説明

フォールトトレラント計算の分野において、デジタル計算の信頼性を高めるために用いられる最も一般的な技術の1つは、クリティカルな論理機能を提供するような回路を三重化することである。三重化された回路の出力を多数決回路に入力することは、三重化された回路の出力値の最も一般的なものを決定するのに、非常にしばしば用いられる。この決定は、典型的には、出力値のうち最も一般的な2つまたは3つのものを決定し、その値を多数決回路の出力として送ることによって達成される。この関連技術としてとり上げた多数決機構を使用すれば、3つの三重化された回路のうちのいずれかが障害を起こしても正しい多数決回路の出力値が発生されるであろう。多数決がすべての一致であるかどうか、すなわち、すべての3つの2進の入力が同じであるかどうか、または、3つの三重化された回路の出力のうち2つだけが一致したかどうかを決定するために、付加的な回路が多数決回路とともにしばしば用いられる。後者の状態は、三重化された回路のうちの1つが障害を起こしたことを示す。この状態は、2つの残余の障害のない回路のいずれかが障害を起こせば、潜在的に検出不可能で致命的となる故障状態を表わすので、通常、誤り制御論理および/またはソフトウェアに提示される。

これまでの、クリティカルなデジタル回路の信頼性を高めるための多数決回路および一致回路の使用における1つの基本的な制約は、テスト回路が、テスト回路自体が障害を起こしたかどうかを決定できないことである。言換えれば、モニタ機能を提供する、関連技術の回路も故障することがあり、そのような故障は、故障検出技術における重要な信頼性の要因である。

単一の多数決および一致回路に関する前述の制約はまた、バイトのまたはワードの各々ビットをチェックするために用いられる、並列に設けられたそのような回路の

4

組にも及ぶ。そうした場合、複合の誤り信号が、こうしてテストされたビットから形成されるかもしれない。この場合にも、複合誤り信号回路を含む、各々の多数決および一致回路のいずれかが障害を起こし、しかも検出されないかもしれない。

前述から、フォールトトレラント計算の用途に使用するための、非常に信頼性の高い自己検査装置、より特定のには、多数決回路、一致回路およびそれ自体の故障を継続してチェックする装置の必要性が理解されるはずである。したがって、添付の図面と関連する特許請求の範囲によって規定される、この発明の範囲に加えて、「発明の要約」および「好ましい実施例の詳細な説明」を参照することによって、この発明のより十分な理解がなされるであろう。

発明の要約

この発明は、添付の図面において特定の実施例が示されるとともに、前掲の特許請求の範囲によって規定される。この発明を要約すると、この発明は、各々が、三重化された回路の出力を入力として受取る多数決回路手段と一致回路手段とをモニタするための自己検査論理装置を含む。多数決回路手段の出力状態は、多数決回路手段の入力論理値の多数のものに対応する。一致回路手段の出力状態は、三重化された回路の出力のすべてが一致するかどうかを表わす。

好ましい実施例において、自己検査回路は、モニタされた三重化されたデジタル回路の出力から形成されるEXCLUSIVE OR機能と、第1のEXCLUSIVE OR、多数決回路、および一致回路の出力から形成される別のEXCLUSIVE OR機能を含む。出力状態ビットが、この最後の排他的「or」自己検査回路によって発生される。検査回路入力を提供する3回路が正しく動作している限り、出力状態ビットの値は、正しい動作を表わす単一の予め定められた出力論理値のままである。しかしながら、その入力回路のいずれかが障害を起こし、それによって間違った出力が発生すると、この出力状態値は逆になる。

自己検査回路それ自体における故障を検出するために、テスト信号が最終の自己検査テスト回路に周期的に与えられる。このテスト信号は、自己検査回路が、別個の動作として、周期的にテストされることを可能にし、それによって、自己検査回路の有効な動作を確実にする。

この発明はまた、今要約したものと同様、1組の自己検査回路を含むように拡張されてもよい。これらの組の自己検査回路は、バイトまたはワードの各々のビットの、正しい発生をモニタするために用いられる。ここでは、一致回路の出力は、回路の問題の単一の表示を与えるために、一緒に「OR処理され」、一方、各々のビットからの故障を示す論理信号は、テストされるワードまたはバイト内の単一のビットの故障の最終表示を提供するためのEXCLUSIVE OR回路への入力である。各々の個々のビット回路内の最終EXCLUSIVE OR回路のためになされるのと

(3)

特公平7-31610

5

同様、「故障なし」スタック状態のために自己検査動作をチェックするようテスト信号がこの最終EXCLUSIVE OR回路に与えられる。したがって、この発明の主な目的は、従来の三重化されたデジタル回路の最終の出力および状態を決定する多数決および一致回路を用いる新規の自己検査回路を提供することによって、クリティカルな論理機能の信頼性を高めることである。回路の通常の動作を妨げることなく、クリティカルな論理機能の出力の信頼性を高めることが、この発明の利点である。

この発明の特徴は、多数決回路とともに用いるための新規の自己検査デジタル回路（多数決回路が正しく動作する限り、自己検査回路は通常はひとつの状態にある）を提供し、かつ通常のそのひとつの状態にスタックしてしまう故障をチェックする入力テストを、さらに提供することである。

この発明の別の特徴は、デジタルワードの各々のビットと自己検査回路自体が、その動作性をテストされる、個々の多数決および一致回路とともに用いるための二重の自己検査回路を提供することである。

前述の「発明の要約」は、この発明のより適切な目的、特徴および利点のいくつかを略述する。これらの目的、特徴および利点は、単に意図される発明のより重要な目的、特徴および利点のいくつかを示すと解釈されるべきである。開示された発明を異なる態様で適用することによって、または、発明を開示の範囲内で修正することによって、多くの他の有益な結果を得ることができる。後に続くこの発明の詳細な説明がよりよく理解され、それゆえ、技術に対するこの貢献がより十分に認められ得るために、要約は、この発明のより適切なかつ重要な特徴を、かなり広範囲に略述する。

この発明の付加的な特徴は、以下に説明され、この発明の特許請求の範囲の主題を形成するであろう。開示された特定の実施例の概念が、この発明と同じ目的を実行するための他の装置を修正または開発するための基礎として容易に用いられることができるということが、当業者によって理解されるべきである。そのような同等の構造が、前提の特許請求の範囲において述べられるこの発明の趣旨および範囲から外れないということもまた、当業者によって認識されるべきである。

以下の「好ましい実施例の説明」が、添付の図と関連して進むにつれて、この発明のさらなる目的、特徴および利点が明らかとなるであろう。

〈好ましい実施例の説明〉

次に、図面、特に第1図を参照すると、この発明の好ましい実施例10を構成する、回路5、6、9および12の組み合わせが示される。第1図は、特に図示されないソース回路から同一の入力論理信号を受取る、3つの同一の三重化されたデジタル回路1、2および3を示す。三重化論理回路1、2および3は、それぞれ信号出力 O_1 、 O_2 および O_3 を発生し、それらは、多数決回路5、一致回路

6

6および3入力EXCLUSIVE OR回路9に、入力として与えられる。多数決回路5は、論理式 $V = O_1 \cdot O_2 + O_1 \cdot O_3 + O_2 \cdot O_3$ によって機械化され、この機械化によって表わされる特定の実施例は、当業者には周知である。この式によれば、多数決回路5は、3つの入力信号値を取り、それらの値の多数値、つまり3の中の2または3の中3のいずれかを選択して、多数決回路5の出力信号Vを得る。

一致回路6は、多数決回路5の入力のすべてが一致したかどうかを決定する。したがって、一致回路6は、その入力（すなわち、三重化された末端の回路の信号出力 O_1 、 O_2 および O_3 ）が同一（すべてが「1」またはすべてが「0」のいずれか）のときはハイまたは「1」、または、回路6の3つの入力の2つだけが一致するときにはローまたは「0」に相当する信号Uを出力する。一致回路6の動作と構造ともまた当業者には周知であって、以下の論理式 $U = O_1 \cdot O_2 \cdot O_3 + O'_1 \cdot O'_2 \cdot O'_3$ を特徴とすることができる。

背景の項と要約の項において言及されたように、第1図において参照数字5で示されるような多数決回路は、計算システムにおいて、または、フォールドトレランスがクリティカルである他の用途において、クリティカルな論理機能の信頼性を高めるために用いられることができる。より特定のには、三重化されたデジタル回路1、2、および3の1つが障害を起こしても正しい出力信号Uが発生されるであろう。一致回路6は、典型的には、誤り管理システム（図示せず）に、その出力信号Vを介して、三重化された回路1、2または3の1つが障害を起こしたことと、モニタされるデジタルシステムが、ツー・アウト・オブ・スリーに基づいて動作しているということを、信号で知らせるために用いられる。

外部誤り管理システムはこうして、別の三重化された回路が故障すれば、全体の出力の故障が発生してしまう可能性があるということを警告されることができる。もし利用可能であれば、保守が要求されるかもしれない。いずれにせよ、この情報は、全体の誤り制御方策のために必要とされるシステム故障情報の一部を形成するであろう。多数決回路5と一致回路6の機能と目的は、もちろん、もしいずれかが障害を起こせば、否定され、したがってチェックのための回路を追加して、その自己テスト回路12自体と同様に、多数決回路5および一致回路6の動作性をチェックすることが、この発明の目的である。追加された自己テスト回路12は、好ましくは、2端子EXCLUSIVE OR回路11と、1対のEXCLUSIVE OR回路14および15を含む3入力EXCLUSIVE OR回路20と、インバータ16とを含む。

再び第1図を参照すると、新規の自己検査の特徴が、3つの出力 O_1 、 O_2 および O_3 ならびにテスト信号Tを、テスト回路12の入力に与えることによって達成されるということが理解できる。その入力はいずれも3入力EXCLUSIV

(4)

特公平7-31610

7

E OR回路9と、2入力EXCLUSIVE OR回路11の1端子に対応する。3入力EXCLUSIVE OR回路9の出力Wは、回路11の他の入力端子に送られる。多数決回路5、一致回路6のそれぞれの出力VとU、および、EXCLUSIVE OR回路11の出力信号Xは、第1図に示されるように、1対のEXCLUSIVE OR回路14と15とに細分されて示される3入力EXCLUSIVE OR回路20に与えられる。信号Wは論理式 $(0_1 + 0_2 + 0_3)$ を特徴とし、一方、 F' は論理式 $(U + V + W)$ を特徴とする。 F' の式はU、V、およびWの式に関して、 $(0_1 \cdot 0_2 \cdot 0_3 + 0_1' \cdot 0_2' \cdot 0_3') + (0_1 \cdot 0_2 \cdot 0_3 + 0_1 \cdot 0_3 + 0_2 \cdot 0_3) + (0_1 + 0_2 + 0_3)$ と書き直されることができる。回路15の出力 F' は、インバータ16によって、反転され信号Fを形成する。この信号Fは、出力自己検査テスト信号に対応する。

好ましい実施例の動作と機能は、下記の第1表を参照することによってよりよく理解されることができる。

第 1 表

	$0_1, 0_2, 0_3$ 順不同	V	U	W	T	F'	F
1	0 0 0	0	1	0	0	1	0
2	0 0 1	0	0	1	0	1	0
3	0 1 1	1	0	0	0	1	0
4	1 1 1	1	1	1	0	1	0
5	誤りなし				1	0	1
6	回路誤り				0	0	1

第1表は、この発明10に従う、回路の動作を規定する。第1表の左側の縦の欄は、順不同で、 0_1 、 0_2 および 0_3 のすべての可能な組合わせを示し、一方、その右の縦の欄は、一連の 0_1 、 0_2 および 0_3 入力に基づいて、それらのそれぞれの回路によって発生されるV、UおよびW出力を示す。表の検討から理解できるように、入力テスト信号Tがオフすなわち「0」であるときには、出力信号 F' は、真理値表の最初の4列のすべての4つに対して「1」であり、その補数Fは故障を示すのであるが、「0」であろう。しかしながら、回路5、6または9のいずれかにおいて誤りが起これば、一般的に第1表の列6上に表わされるその出力値は、期待される通常の出力値から逆にされるであろう。言換えれば、出力故障信号Fは「1」に代わり、それによって、誤り状態を示すであろう。

今説明した動作は、この発明の一部を表わすだけである。説明された技術によってテストされないで残る唯一の回路は、最終のテスト回路12である。この回路12は、2つの基本ハード故障モード、すなわちオフまたは「0」へのスタックモード、またはオンまたは「1」へのスタックモードを有する。「オン」スタック状態は、上記第1表によって示されるように、明白で即座に検出

8

可能な故障状態を表わす。しかしながら、その期待される通常の状態が「0」（すなわち、回路誤りなし）であるので、「オフ」スタック状態は通常検出不可能である。（回路12はしたがって回路誤りに応答できないであろう）。

この潜在的な問題は、ちょっとした間テスト信号Tを駆動して、出力故障信号Fを監視することによって、起こり得る「0」スタック状態をテストすることによって克服される。この目的として利用可能な信号Tを、第1図において示される波形40によって示す。もし回路12が適切に動作していれば、信号Fは「1」になり、一方、「0」スタック状態では、回路12の出力は「0」のままである。

したがって、この発明10を組み入れる、デジタル回路の誤り管理部分（図示せず）は、テスト信号Tを「1」に上げることによって、出力ゲート回路12の動作性を周期的にテストし、それによって出力故障信号Fがたしかに「1」に変わったかどうかを決定することができる。そうでなければ、前述のように、「0」スタック状態が、信号Fが「0」のままであることにより示される。

「0」スタック状態は、多数決5および一致回路6の動作が有効であるかもしれないし、またはそうでないかもしれないということを示す。信号Tを用いるこのテスト動作は、多数決回路5と一致回路6の動作から別個に、独立して行なわれ、それゆえ、通常のモニタされたデジタル回路1、2または3の動作を妨げない。

第1図に示される回路は、書込選択、チップ選択、割込等の信号のような、単一の主要な論理機能が発生される多数決を扱う。他の用途においては、多数決は、バイト、ワードなどを含むように拡大されるかもしれない。このような場合、多数決5および一致回路6のテストの修正されたものが必要とされ、そこでは結果として生じる出力値が、テストされているすべてのビットから抽出される。

第2図は、この発明10（第1図に示される）が、ワード内の各々のビットに対して反復されている、この発明のそのような用途を示す。この反復は、第2図において、参照数字42によって表わされる最下位ビットから始まって、参照数字44によって示される最下位ビットで終わっているのが示される。各々のそれぞれの組の三重化された回路1、2および3からの出力 0_1 、 0_2 、および 0_3 は、反復された自己検査多数決論理回路10に与えられる。様々な自己検査多数決論理回路10の多数決結果を表わす出力Vから V_n は、第2図に示されるように、最終の出力ビット値とみなされる。

一連の反復された自己検査多数決論理回路10からの U_n 信号は、誤り監視システム（図示せず）によるモニタのために利用可能な出力を与えるn入力ORゲート30のそれぞれの一連の入力端子に与えられる。「1」の U_n 出力信号は、三重化された回路1、2または3のいずれかと関係

50

9

付けられた、三重化された回路1、2または3の出力ライン0₁、0₂または0₃の1つまたはそれ以上が障害を起こしたことを示す。

一連の自己検査多数決論理回路10からのFn信号は、誤り管理システム（図示せず）によってモニタされる出力信号を出力するn+1入力「OR」ゲート31のそれぞれの先頭のn個の入力端子に与えられる。

第2図の回路のテスト信号TおよびTaの動作は、下記の第2表と関連して最良に説明される。

第 2 表

	テスト信号状態	E出力	意味
1	Ta=0 T=0	0	明らかな回路故障なし
2	Ta=0 T=0	1	少なくとも1つの回路10の故障
3	Ta=0 T=1	0	回路10の出力または回路31の故障
4	Ta=0 T=1	1	回路10または回路31故障なし
5	Ta=1 T=0	0	回路31故障
6	Ta=1 T=0	1	回路31故障なし

両方のテスト信号TとTaとがオフであれば（第2表の1および2行目）、F出力が「0」であれば、回路31それ自体または論理ユニット10の出力テスト回路12のうちの1つは「0」にスタックしている可能性があるけれども、明らかな回路10の故障がないことを示す。この状態は、第2表において3行目ないし6行目に示されるように、テストされる。F=1の2行目の場合、少なくとも1つの回路10の故障を示す。3行目および4行目は、T=1の自己テスト結果を表わす。3行目のE=0信号は、回路10または回路31の故障のいずれかの存在を示す。一方、E=1の4行目の状態は、すべての回路が動作可能なことを示す。第2表の5行目と6行目は、3行目の故障状態を回路31または回路10の1つまたはそれ以上のいずれかに分離したものを示す。第2表の5行目ではTa=1およびT=0であるが、E出力として「0」が得られるテスト状態は、回路31の故障を示し、一方、6行目はE=1であってそれは3行目の状態が、1つまたはそれ以上の回路10の故障によって引き起こされ、回路31は動作可能であることを示す。

本願の開示は、以上の明細書の開示と同様、前掲の特許請求の範囲に含まれるものをも含む。この発明は、或る程度特定の好ましい形式で説明されたが、好ましい形式のこの開示は例として示されただけであり、構造およ

(5)

特公平7-31610

10

び組合わせおよび部品配列の詳細における多くの変更が、この発明の趣旨および範囲から逸脱することなくなされることができるということが理解される。

より特定のには、ここで示されかつ説明された特定の実施例は、この発明を含まない標準的な論理設定の実施に基づいた、詳細においては広い範囲であり得るこの発明の特定の論理の実現化例を表わす。たとえば、補数化された、または補数化されない、のいずれかの出力テスト信号、一致信号などが用いられるかもしれない、かつ、実際に、論理は、「否定論理積 (nand)」、「否定論理和 (nor)」およびEXCLUSIVE NOR論理ゲートを、機械化のために含むことができる。これらの変更のいずれも、この発明の範囲または機能を変更しないであろう。

【図面の簡単な説明】

第1図は1ビットのデジタル情報を発生する三重化された回路と関係付けられた多数決および一致回路と組合わされて示される、この発明の1つの形式の、一部ブロック図で一部概略の図である。

第2図は、デジタルワード内の各々のビットと関連付けられた多数決および一致回路と組合わされた、この発明の別の使用を示す、一部ブロック図で一部概略の図である。

図の参照番号で、

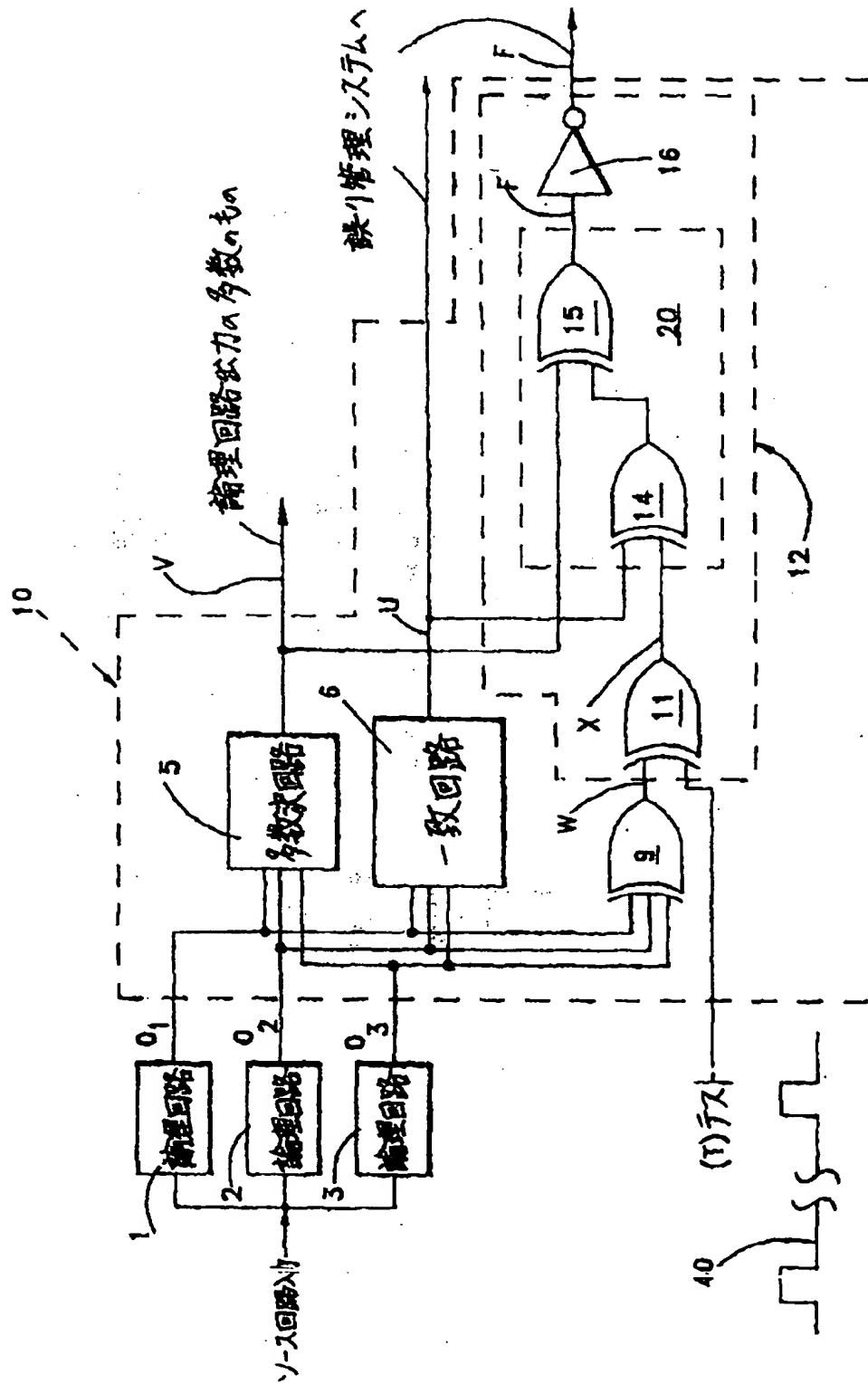
- 1は三重化されたデジタル論理回路、
- 2は三重化されたデジタル論理回路、
- 3は三重化されたデジタル論理回路、
- 5は多数決回路、
- 6は一致回路、
- 9は12の3入力EXCLUSIVE OR回路、
- 10は自己検査多数決論理、
- 11は12の2端子EXCLUSIVE OR回路、
- 12は10の自己テスト回路、
- 14は20のEXCLUSIVE OR回路、
- 15は20のEXCLUSIVE OR回路、
- 16は12のインバータ、
- 20は12の3入力EXCLUSIVE OR回路、
- 30はn入力ORゲート、
- 31はN+1OR自己テスト回路、
- 32は31の最低レベルのカスケードにされた2端子EXCLUSIVE OR回路、
- 32nは31のカスケードにされた2端子EXCLUSIVE OR回路、
- 40はテスト信号Tの波形、
- 42はデータワードの最下位ビット回路、
- 44はデータワードの最上位ビット回路。

50

(6)

特公平7-31610

【第1図】



(7)

特公平7-31610

【第2図】

